

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11017309 A**

(43) Date of publication of application: **22 . 01 . 99**

(51) Int. Cl.

H05K 1/18
H01L 21/60

(21) Application number: **09162393**

(22) Date of filing: **19 . 06 . 97**

(71) Applicant: **HITACHI LTD**

(72) Inventor:
YAMAZAKI TETSUYA
TENMYO HIROYUKI
AMAMIYA KYOKO
SHIGI HIDETAKA

(54) **ELECTRONIC PARTS CONNECTING
MECHANISM, ELECTRONIC CIRCUIT BOARD
USING IT, AND ITS MANUFACTURE**

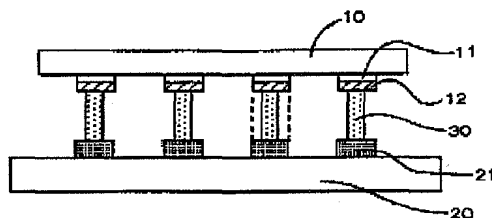
and their head sections are tilted inward and secure the electrical and mechanical connection between the chip 10 and substrate 20.

(57) Abstract:

COPYRIGHT: (C)1999,JPO

PROBLEM TO BE SOLVED: To secure the reliability of the connection between electronic parts and a substrate for a long period by greatly relieving stresses caused by the difference between the coefficients of thermal expansion of the parts and substrate and, at the same time, to connect the terminals of the parts and substrate at a high density by electrically connecting a plurality of a long pillar-like connecting members between the terminals.

SOLUTION: Terminals 11 for connection are arranged in a prescribed state on the front surface of an IC chip 10 and solder 12 for junction is formed on each terminal 11. On a substrate 20, terminals 21 for connection are arranged so that the terminals 21 may become directly under their corresponding terminals 11 on the IC chip 10 and connecting members 30 are formed on the terminals 21. Each connecting member 30 is formed in a long pillar-like shape so that the member 30 may bend in accordance with the difference in thermal expansion between the chip 10 and substrate 20 when the difference has been made. Namely, when the thermal expansion of the substrate 20 become larger than that of the chip 20, the members 30 arranged on the outside are deformed



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17309

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁶

H 0 5 K 1/18

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 5 K 1/18

H 0 1 L 21/60

U

3 1 1 S

審査請求 未請求 請求項の数 9 O L (全 8 頁)

(21) 出願番号

特願平9-162393

(22) 出願日

平成9年(1997) 6月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 山▲崎▼ 哲也

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72) 発明者 天明 浩之

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72) 発明者 雨宮 恭子

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74) 代理人 弁理士 富田 和子

最終頁に続く

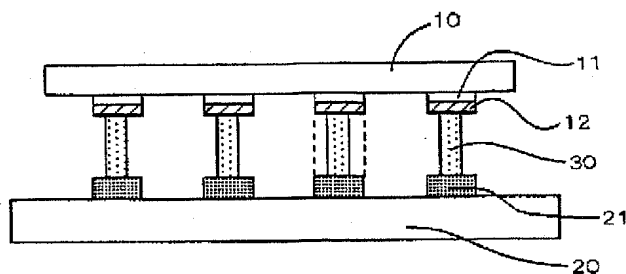
(54) 【発明の名称】 電子部品の接続機構、これを用いた電子回路基板、接続機構の製造方法

(57) 【要約】

【課題】 部材間の熱膨張率の差によるストレスを緩和して機械的電氣的接続の長期的な信頼性を確保すると共に、高密度な端子接続が可能となる接続部材等を提供する。

【解決手段】 電子部品側の端子11と基板側の端子21の間に介在し、電子部品（例えば、ICチップ）10を基板20へ取り付け、端子間の電氣的な接続を行う複数の接続部材30から成る接続機構であり、各接続部材30が、縦長の柱形状に形成されている。

図1



【特許請求の範囲】

【請求項 1】電子部品側の端子と基板側の端子の間に介在し、前記電子部品を前記基板へ取り付け、端子間の電気的な接続を行う複数の接続部材から成る接続機構において、

前記各接続部材は、縦長の柱形状に形成されていることを特徴とする接続機構。

【請求項 2】請求項 1 に記載の接続機構において、前記各接続部材は、中央部の断面積が端部の断面積よりも小さいことを特徴とする接続機構。

【請求項 3】請求項 1 または 2 に記載の接続機構において、前記各接続部材は、電子部品側の端子面および基板側の端子面を、対向する 2 面とする空間内に収まる大きさに形成されていることを特徴とする接続機構。

【請求項 4】請求項 1、2 または 3 に記載の接続機構において、前記各接続部材は、周囲の温度に応じて姿勢を変化させる特性を有することを特徴とする接続機構。

【請求項 5】請求項 1、2、3 または 4 に記載の接続機構を用いた電子回路基板。

【請求項 6】電子部品側の端子と基板側の端子の間に介在し、前記電子部品を前記基板へ取り付け、端子間の電気的な接続を行う複数の接続部材から成る接続機構の製造方法において、

複数の端子が設けられた基板又電子部品の上にレジスト層を形成し、そのレジスト層に各端子の位置に合わせて複数のスルーホールを形成する第一の工程と、

前記第一の工程で製作されたスルーホール付きのレジストをガイドとしてめっきを行い、該スルーホール内に、前記接続部材の一部となる充填物を形成する第二の工程と、

前記第二の工程でガイドとして用いたレジストの上にレジスト層を形成し、そのレジスト層に前記スルーホールの位置に合わせて複数のスルーホールを形成する第三の工程と、

前記第三の工程で製作されたスルーホール付きのレジストをガイドとしてめっきを行い、該スルーホール内に、前記接続部材の一部となる充填物を形成する第四の工程を有し、

前記第三の工程および前記第四の工程を一回ずつ実行するか、または、これらの工程を複数回実行することで、前記接続部材を階層的に形成することを特徴とする接続機構の製造方法。

【請求項 7】電子部品側の端子と基板側の端子の間に介在し、前記電子部品を前記基板へ取り付け、端子間の電気的な接続を行う複数の接続部材から成る接続機構の製造方法において、

電子部品側の端子および基板側の端子の何れか一方に接続される、前記接続部材の接続パッド部を形成するため

の金属層が積層された基材を用意し、該基材に、各接続パッド部の位置に合わせて複数のスルーホールを形成する第一の工程と、

前記第一の工程で製作されたスルーホール付きの基材をガイドとしてめっきを行い、該スルーホール内に、前記接続部材の一部となる充填物を形成する第二の工程と、前記第二の工程でガイドとして用いた基材の上にレジスト層を形成し、そのレジスト層に前記スルーホールの位置に合わせて複数のスルーホールを形成する第三の工程と、

前記第三の工程で製作されたスルーホール付きのレジストをガイドとしてめっきを行い、該スルーホール内に、前記接続部材の一部となる充填物を形成する第四の工程と、

前記第三の工程および前記第四の工程を一回ずつ実行するか、または、これらの工程を複数回実行することで、電子部品側の端子および基板側の端子の他方に接続される、前記接続部材の柱状部を階層的に形成し、その後、前記金属層から前記接続パッド部を形成する第五の工程と、

を有することを特徴とする接続部材の製造方法。

【請求項 8】電子部品側の端子と基板側の端子の間に介在し、前記電子部品を前記基板へ取り付け、端子間の電気的な接続を行う複数の接続部材から成る接続機構の製造方法において、

基材上に平行配線を形成する第一の工程と、

前記第一の工程で製作した平行配線付き基材を複数用意し、これらを接合材で接合して、多層配線基板を製作する第二の工程と、

前記第二の工程で製作した多層配線基板を配線方向とほぼ垂直な方向に切断して一又は複数個に細分化する第三の工程と、

前記第三の工程の細分化によって生成された基板ブロックに、平行配線を外部に露出させるためのエッチングを施す第四の工程と、

を有することを特徴とする接続機構の製造方法。

【請求項 9】電子部品側の端子と基板側の端子の間に介在し、前記電子部品を前記基板へ取り付け、端子間の電気的な接続を行う複数の接続部材から成る接続機構の製造方法において、

各端子の位置に応じて形成されたスルーホールを有するマスクの形成と、前記スルーホールへの金属の充填を繰り返すを行い、前記接続部材を柱状に形成することを特徴とする接続機構の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子部品側の端子と基板側の端子の間に介在し、電子部品を基板に取り付け、端子間の電気的な接続を行う複数の接続部材から成る接続機構に関し、特に、ICチップの基板への搭載

や、パッケージ化された IC チップの基板への搭載に用いられる接続機構に関する。

【0002】

【従来の技術】 IC チップの実装技術として、従来より、WB (Wire Bonding)、TAB (Tape Automated Bonding)、FC (Flip Chip) が知られている。WB は、IC チップ上の電極と、外部引き出しのためのリードフレームを極細線で接合する手法である。TAB では、例えば、ポリイミド樹脂フィルム等の耐熱性の大きいフィルムに、接着層により銅箔をラミネートし、エッチングにより銅箔回路を形成する。IC チップについては、電極上に金めっき、バンパを順に形成しておく。その後、この IC チップをフィルムの回路上に接合する。FC では、IC チップの電極上に金属バンパを形成し、これをフェースダウンで基板上の電極に接合する。

【0003】 また、IC チップのパッケージとしては、QFP (Quad Flat Package)、PGA (Pin Grid Array)、BGA (Ball Grid Array) が知られている。QFP は、本体の側辺四辺からリードピンを突出させた形態を持つ。

PGA、BGA では、ピンまたはバンパの二次元的な配列が可能となる。

【0004】

【発明が解決しようとする課題】 このように IC チップに関連する実装技術は多種多様であるが、このときに避けて通ることのできない問題として部材間にかかる熱応力がある。

【0005】 例えば、特開平 2-77138 号公報の「電子部品の接続構造及びそれを用いた電子装置」では、らせん形のマイクロリードで、IC チップの電極と基板側の電極を接続し、そのばね性により、IC チップと基板の熱膨張率の違いによるストレスを吸収している。また、特開平 8-172112 号公報の「IC チップの配置方法」では、熱膨張緩和手段として、IC チップと基板の間にポリイミド両面基板を設置している。

【0006】 しかしながら、これらの従来手法においては、マイクロリードあるいは熱膨張緩和手段を設置する際に水平方向に一定のスペースを要するため、電極端子の高密度化を妨げるという問題がある。

【0007】 このような問題点に鑑み、本発明は、部材間の熱膨張率の差によるストレスを緩和して長期的な機械的電氣的接続の信頼性を確保すると共に、高密度な端子接続が可能となる接続機構等を提供することにある。

【0008】

【課題を解決するための手段】 上記目的を達成するための本発明の一態様によれば、電子部品側の端子と基板側の端子の間に介在し、前記電子部品を前記基板へ取り付け、端子間の電氣的な接続を行う複数の接続部材から成る接続機構において、前記各接続部材は、縦長の柱形状

に形成されていることを特徴とする接続機構が提供される。

【0009】

【発明の実施の形態】 以下、本発明に係る実施形態の幾つかを図面を参照しながら説明する。

【0010】 図 1 に、本発明の第一の実施形態を示す。

【0011】 一般に、ベアチップと呼ばれるパッケージされていない IC チップは、フェイスダウンで基板に実装される。本実施形態では、図 1 に示すように、ベアチップ (IC チップ) 10 とプリント配線基板 20 を複数の接続部材 30 で接続する。

【0012】 IC チップ 10 の表側面 (図 1 では下面) には、接続用端子 11 が所定の配置で形成されている。各端子 11 には接合用のはんだ 12 が形成されている。基板 20 には、接続用端子 21 が、対応する IC チップ側端子の直下となるように配置され、この端子上に接続部材 30 が形成されている。接続部材 30 は、縦長の柱形状を為している。ここで、縦長とは、横方向と比べて縦方向の寸法が長いことを意味する。

【0013】 つぎに、この接続部材 30 の製造方法の一例を図 2 を参照しながら説明する。

【0014】 図 2 (a) : 所定の配線 (図示省略) と接続用端子 21 が設けられたプリント配線基板 20 を用意し、その上に、スパッタリング法によりクロム、銅を順次成膜し、電気めっきを行なう際に使用する給電層 40 を形成する。例えば、クロムの膜厚は、 $0.5 \mu\text{m}$ 、銅の膜厚は $1 \mu\text{m}$ とする。なお、以下に示す具体的数値や部材の種別は、あくまでも一例に過ぎず、本発明はこれに限定されることはない。

【0015】 図 2 (b) : 給電層 40 上に、電気めっきを行なう際に使用するレジストをスピンコーターで塗布する。その後、所定の乾燥、露光、現像を行い、レジストパターン 41 を形成する。レジストパターン 41 の膜厚は $20 \mu\text{m}$ である。また、レジストパターン 41 は、接続用端子 21 のそれぞれに対応したスルーホール 42 を有する。スルーホール 42 は、円柱状に形成され、その直径は $20 \mu\text{m}$ である。

【0016】 図 2 (c) : レジストパターン 41 をめっきガイドとして電気めっきを行い、スルーホール内に金属 31 を充填する。本実施形態では、給電層 40 の銅を陰極とし、これに、含りん銅板を対向させて陽極とする電気めっきを硫酸銅めっき浴を用いて行い、銅パターン (高さ $20 \mu\text{m}$ 、直径 $20 \mu\text{m}$ の複数の円柱状の銅充填物 31 から成るパターン) を形成する。この金属パターンは、無電解銅めっきや電気金めっき等を用いて形成しても構わない。また、めっき以外の方法 (例えば、スパッタリング又は蒸着で金属膜を成膜し、該金属膜に対してホットエッチングを施す方法) で形成しても構わない。

【0017】 図 2 (d) : 図 2 (b) のレジストパターンの形成と図 2 (c) の電気めっきをさらに 4 回繰り返

し、高さ $100\mu\text{m}$ 、直径 $20\mu\text{m}$ の接続部30を形成する。

【0018】図2(e)：5層になったレジストを専用の剥離液を用いて剥離し、次に、給電層40をウエットエッチングによって除去する。その後、はんだの塗れ性向上のために無電解ニッケルめっきと、無電解金めっきを行い、ニッケル/金の保護層32を形成する。ニッケルの膜厚は $2\mu\text{m}$ 、金の膜厚は $0.5\mu\text{m}$ である。

【0019】以上の工程により、高さ $100\mu\text{m}$ 、直径 $20\mu\text{m}$ （高さ：直径＝5：1）の接続部30が端子21の上に形成される。

【0020】その後、基板20に対するICチップ10の位置合わせを行い、蒸着等の手法を用いて形成しておいた、接続用端子11上のはんだ12を加熱溶融し、図1に示すように、各接続部材をICチップ側端子11に接続する。

【0021】以上のようにして形成された柱状の接続部材30は、ICチップと基板の間に熱膨張の差が生じた場合に、それに合わせて自身をたわませ、ストレスを緩和する。例えば、ICチップに対して基板が大きく膨張するような場合、外側部分に配された接続部材30は、その頭部を内側に傾けるようにして自身を変形させる。これにより、長期的な電氣的機械的接続の信頼性が確保される。

【0022】なお、接続部材の高さと直径の比については、熱ストレスを緩和するのに十分な値であれば、特に限定されない。また、本例では、接続部材を基板側に形成したが、ICチップ側に形成してもよい。

【0023】図3に、本発明に係る接続機構の第二の実施形態を示す。同図において、各接続部材50は、フィルム材61を貫通するように設けられており、フィルム材61とICチップ10の間には、封止樹脂70が充填されている。

【0024】そして、本例では、各接続部材50が、ICチップ10や基板20とは独立に製作される。図4を用いて、以下、具体的に説明する。

【0025】図4(a)：銅箔付ポリイミドフィルムを用意し、これに炭酸ガスレーザを用いて所定の端子配置となるようにスルーホール62を形成する。銅箔60の膜厚は $25\mu\text{m}$ 、ポリイミドフィルム61の膜厚は $25\mu\text{m}$ である。スルーホール62の直径は $40\mu\text{m}$ である。その後、ポリイミド残さを除去するためのデスミア処理を行う。

【0026】図4(b)：めっき保護のための保護フィルム63を銅箔60に積層する。そして、銅箔60を給電層として電気銅めっきを行い、スルーホール内に銅51を充填する。

【0027】図4(c)：ポリイミドフィルム61上にフィルムレジスト64を積層し、その後、露光、現像を行って、接続部形成のためのレジストパターンを形成す

る。レジストパターン64の膜厚は $40\mu\text{m}$ 、スルーホール65の直径は $40\mu\text{m}$ である。そして、上記と同様に電気銅めっきを行い、スルーホール内に銅52を充填する。

【0028】図4(d)：図4(c)のレジスト積層、パターン形成、電気めっきをさらに4回繰り返し、最終的に、高さ $200\mu\text{m}$ 、直径 $40\mu\text{m}$ （高さ：直径＝5：1）の、接続部材50の柱状部54を形成する。このとき、レジストの積層、パターン形成、電気めっきを繰り返す代わりに、必要膜厚までレジストを形成して、この一層のレジストを、パターン加工、電気めっきするようにしてもよい。この場合、パターン加工には、深部まで精度よく加工できるエキシマレーザやドライエッチングを用いることが好ましい。

【0029】図4(e)：最上部のフィルムレジスト64に、エッチング保護のための保護フィルム66を積層し、次いで保護フィルム66を剥離する。その後、銅箔60をエッチングするためのフィルムレジストを積層し、それを露光、現像してレジストパターン67を形成する。

【0030】図5(f)：銅箔60（図4(e)参照）を塩化第二銅エッチング液を用いてエッチングし、接続部材50の接続パッド部53を形成する。

【0031】図5(g)：保護フィルム66の剥離と、5層のレジスト64の剥離を行って、接続部材50の柱状部54を露出させ、接続パッド部53と柱状部54の両方に、先程と同様、ニッケルめっき、金めっきから成る保護層55を形成する。これにより、ポリイミドフィルム61の片面に接続パッド部53を持ち、他の面に柱状部54を持つ接続部材50が完成する。

【0032】図5(h)：ICチップ側に形成したはんだバンプ12を加熱溶融して、前述の接続パッド部を接合し、ポリイミドフィルム61とICチップ10の隙間に封止樹脂70を充填すれば、封止樹脂でコーティングされたLSIが完成する。このLSIは、図3に示したように、接続部材50の柱状部を、基板の端子21上に形成しておいたはんだバンプ22に加熱接合することで、実装される。

【0033】図6(d)に、本発明に係る第三の接続機構を示す。この接続機構の製造方法は、図6(a)～図6(c)に示す通りである。

【0034】図6(a)：銅箔の膜厚 $25\mu\text{m}$ 、ポリイミドフィルムの膜厚 $50\mu\text{m}$ の銅箔付ポリイミドフィルムを用意し、ポリイミドフィルム80上の銅箔に対してホットエッチングを施し、ICチップ側に複数列設けられている接続用端子のうちのある一列に対応した平行配線（ICチップ側の前記一列の各端子と同じ間隔で設けられた複数の配線81）を形成する。なお、配線幅については、本例では、 $25\mu\text{m}$ とした。

【0035】図6(b)：他の端子列についても、図6

(a)と同様な配線付ポリイミドフィルムを製作する。そして、これらを接着材(本例では、厚さ $100\mu\text{m}$ の熱可塑性ポリイミドフィルム)82を用いて接合し、多層配線基板を製作する。その後、この多層配線基板を配線方向とほぼ垂直な方向に切断して一又は複数個に細分化する。なお、この多層配線基板は、配線に垂直な断面をとったとき、断面に現れる各配線がチップ側の接続端子の配置と同一になるように設定する。本例では、最小配線ピッチ $150\mu\text{m}$ のエリアアレイを持つICチップを想定して多層配線基板を製作した。

【0036】図6(c):図6(b)で細分化されたブロックの樹脂部分をエッチングして、所定の長さまで配線を露出させ、接続部材90を形成する。このとき、樹脂部分の一部91を接続部材90の支持部材として残しておくことが必要である。エッチングには、ウェットエッチングやドライエッチングと比較して、エッチング量の制御性に優れ、銅配線へのダメージが少ない、エキシマレーザによるエッチングが適している。接続部材90は、チップ側部分と基板側部分から成り、図6(c)では、チップ側部分が図示され、基板側部分は、支持部材91に隠れている。チップ側部分の高さは $250\mu\text{m}$ であり、高さとの比は $10:1$ である。

【0037】図6(d):ICチップ10の端子上に形成しておいたはんだバンプ12を加熱溶融して、接続部材90のチップ側部分を接合し、基板20の端子21上に形成しておいたはんだバンプ22を加熱溶融して、接続部材90の基板側部分を接合する。

【0038】以上が第三の実施形態の製造方法であるが、この製造方法は、レジスト形成や電気めっきを繰り返す必要がないため、接続部材を比較的長めに形成する場合に便利である。

【0039】また、平行配線の配線長を変えるだけで、接続部材の高さと幅の比(高さ/幅)を任意に設定することができる。このとき、高さとの比を大きくとれば、その分だけ、接続部材が大きな熱ストレスに耐えられるようになり、より大きなICチップの実装が可能になる。

【0040】また、第三の実施形態の製造方法では、銅箔付ポリイミドフィルムのかわりに、銅箔以外の金属箔が積層された基材や、金属ワイヤが平行に張り付けられたフィルムを用いることができる。第一、第二の実施形態では、めっきを使用するため、銅、ニッケル等、配線材料が限定されるが、本製造方法では、そのようなことがなく、配線材料が幅広く選択できるため、要求される接続部材の弾性率や靱性に的確に応じることができる。

【0041】以上、本発明の第一～第三の実施形態について説明したが、各実施形態の接続部材は、何れも、チップ側の端子面および基板側の端子面を、対向する2面とする空間(図1の点線で示される空間)に収まる大きさに形成されている。

【0042】したがって、球状のはんだバンプを接続部材として用いる手法や、らせん状または基板状の熱膨張緩和手段を接続部材として用いる手法に比べて、接続部材の占有するスペースが小さくなり、電極端子のさらなる高密度化が可能となる。

【0043】また、各実施形態の接続部材は、直径が小さく、変形しやすいため、部材間の熱膨張率の違いによるストレスが、接続部材と各端子の接合点に集中せず、従来のBGA等と比較して、ストレスが接続部材全体に分散されることになる。さらに、各接続部材は、単純な柱形状であるため、製造が楽であり、また、ICチップや基板との接続も容易である。

【0044】ここで、接続部材のピッチは、実際には、配線基板側の端子ピッチに制限されるが、接続部材の直径の倍程度までは、せばめることが可能である。接合部材の直径については、電流値、電気抵抗、熱ストレスの大きさ等の設計事項や、レジストの解像度等の工程上の限界を鑑み、 $10\sim 20\mu\text{m}$ 程度が実用的な最小値と考えられる。ただ、接続端子のピッチを接続部材の直径の倍程度とし、接合部材の直径を $20\mu\text{m}$ 程度としても、対応可能な最小端子ピッチは $40\mu\text{m}$ 程度であり、従来のCCB接続(最小端子ピッチはおおよそ $200\mu\text{m}$)やBGA(最小端子ピッチはおおよそ 1mm)に比べてはるかに高密度化が図られる。

【0045】一方、接続部材と各端子との接合点にかかる応力をさらに緩和させるために、図7に示すように、接続部材100の上下端の直径を中央部より大きくしても構わない。

【0046】また、図8に示すように、基板やチップとの接合時またはその前後において接続部材101を加圧してあらかじめ屈曲させておいても構わない。接続部材を屈曲させた場合、上下方向の応力緩和に効き目がある。また、この方法は、第一、第二の実施形態において、接続部材間に高さのばらつきがあるような場合に、高さをそろえる手段としても有効である。なお、第三の実施形態では、前述したように配線材料の選択の幅を広げることができるが、配線材料としてバイメタルや形状記憶合金を使用し、はんだ接続時や装置稼働時における温度上昇の際に、熱応力を緩和する方向へ接続部材が自発的に屈曲するように構成しても構わない。

【0047】なお、第一～第三の実施形態では、電子部品として、ペアーチップを取り上げ、これをプリント配線板に実装したが、本発明は、電子部品である、LSIのパッケージをプリント配線板に実装する場合にも適用可能である。また、基板は、セラミック配線板やフレキシブルプリント配線板であっても構わない。

【0048】

【発明の効果】本発明によれば、接続部材が変形しやすい形状を有するために、電子部品—基板間の熱膨張率の差によるストレスが大幅に緩和され、また、個々の接続

部材の設置スペースが小さくてすむため、端子配列の高密度化がより一層促進される。

【図面の簡単な説明】

【図 1】 本発明の第一の実施形態の接続機構を示した概略断面図。

【図 2】 図 1 の接続機構の製造工程を示した説明図。

【図 3】 本発明の第二の実施形態の接続機構を示した概略断面図。

【図 4】 図 3 の接続機構の製造工程を示した説明図（その 1）。

【図 5】 図 3 の接続機構の製造工程を示した説明図（その 2）。

【図 6】 本発明の第三の実施形態の接続機構の製造工程を示した説明図。

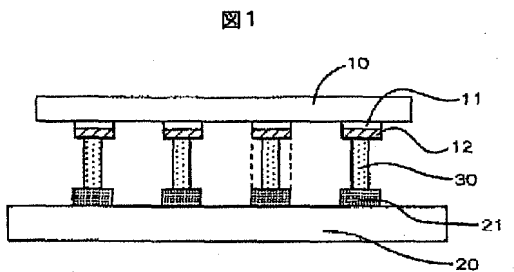
【図 7】 本発明の第四の実施形態の接続機構を示した説明図。

【図 8】 本発明の第五の実施形態の接続機構を示した説明図。

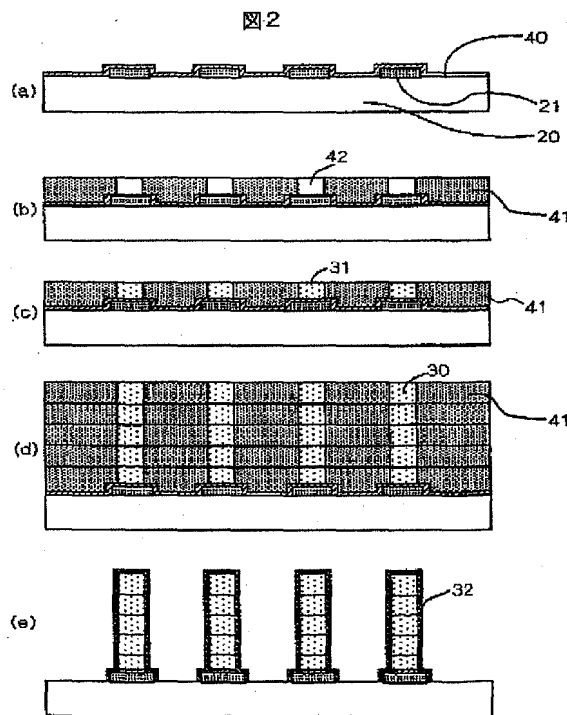
【符号の説明】

10…ICチップ、11、21…接続用端子、12…はんだ、20…プリント配線基板、30、50、90、100、101…接続部材、31…充填物、32、55…保護層、40…給電層、41、64、67…レジストパターン、42、62、65…スルーホール、51、52…スルーホールに充填した銅、53…チップ側部分、54…基板側部分、60…銅箔、61、80…ポリイミドフィルム、63、66…保護フィルム、70…封止樹脂、81…配線、82…接着材、91…支持板

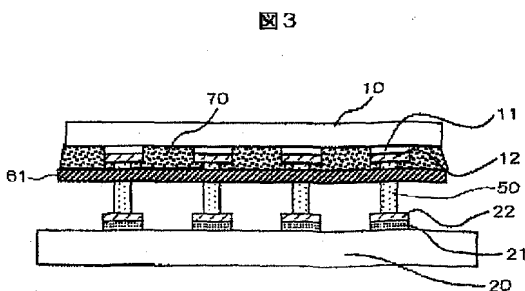
【図 1】



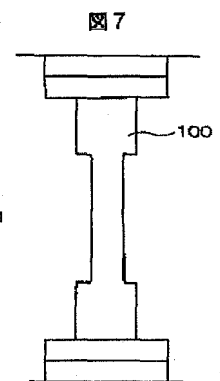
【図 2】



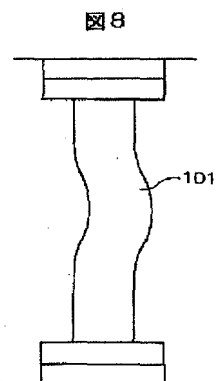
【図 3】



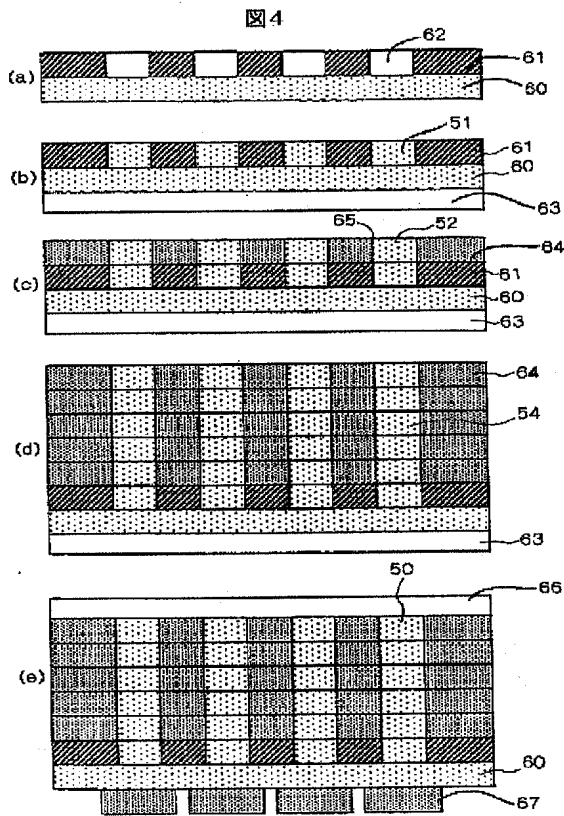
【図 7】



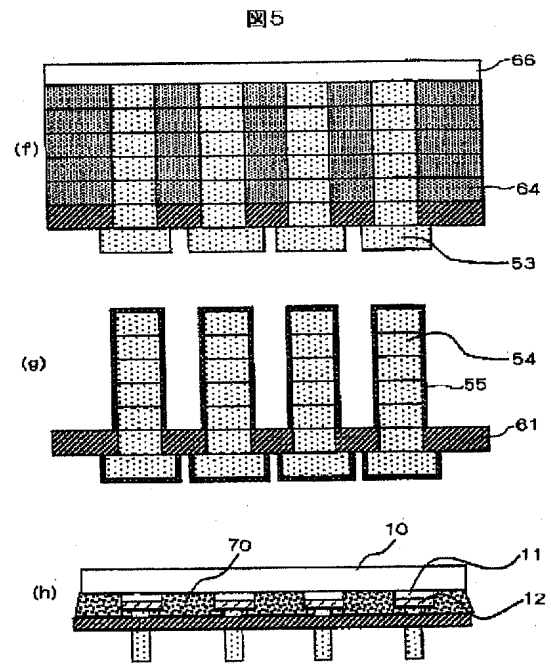
【図 8】



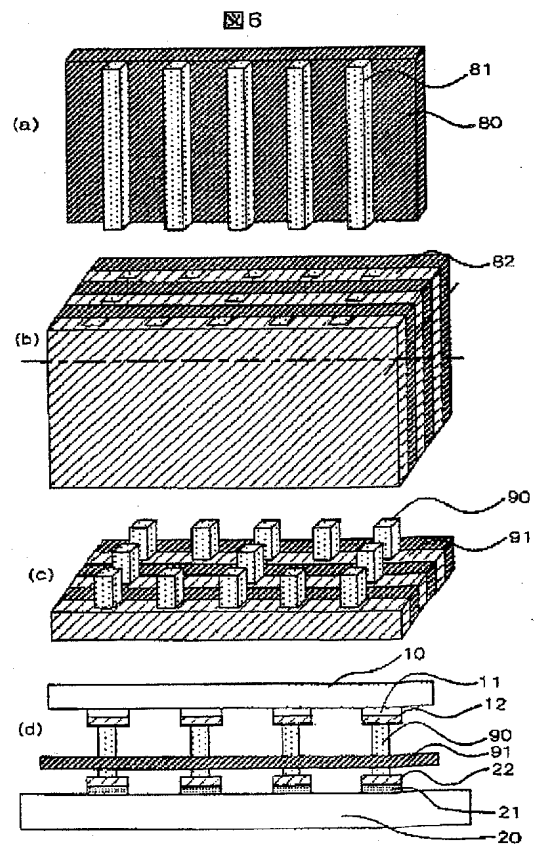
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 志儀 英孝

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内